

POWER SUPPLY LINE STRUCTURE OF LSI PACKAGE

Patent Number: JP5029531
Publication date: 1993-02-05
Inventor(s): KIKKAI NOBUO
Applicant(s): NEC ENG LTD
Requested Patent: ☐ JP5029531
Application Number: JP19910178632 19910719
Priority Number(s):
IPC Classification: H01L23/50
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the malfunction of a control circuit due to power supply line noise, by dividing power supply lines for a plurality of kinds of circuits mounted on an LSI package into individual power supply lines for the respective circuits.

CONSTITUTION: In the power line structure of an LSI, at least a first circuit and a second circuit are mounted, and a power supply line for the first circuit and a power supply line for the second circuit are provided. That is, inner circuits mounted on an LSI package 1 are roughly divided into a control circuit 3 and an output buffer 6. Power supply lines to be used for both of the circuits are divided into a power supply line 2 for the control circuit and a power supply line 5 for the output buffer. Ground lines are divided into a ground line 4 for the control circuit and a ground line 7 for the output buffer. Thereby it can be prevented that noise generated in the output buffer 6 flows into the power supply lines 2, 7 and malfunction is caused in the control circuit 3.

Data supplied from the esp@cenet database - l2

(19)日本特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-29531

(43)公開日 平成5年(1993)2月5日

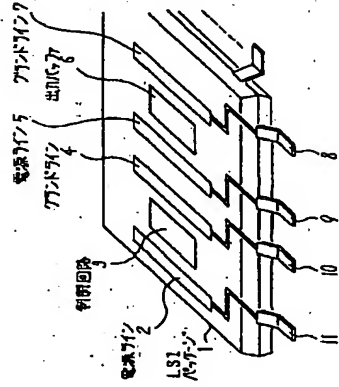
(51)Int.Cl. H01L 23/50	発明記号 X 9272-4M	FI	技術表示箇所
(21)出願番号 特願平3-17832	(71)出願人 000232047 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号	(72)発明者 吉岡 信雄 東京都港区西新橋3丁目20番4号日本電気 エンジニアリング株式会社内	(74)代理人 弁理士 内原 幸
(22)出願日 平成3年(1991)7月19日	審査請求 未請求 請求項の数(全3頁)		

(54)【発明の名称】 LSIパッケージの電源ライン構造

(57)【要約】

【構成】 LSIパッケージ1に搭載された内部回路を制御回路3(入力バッファを含む)と出力バッファ6とに大別する。双方の回路に使用される電源ラインを制御回路用の電源ライン2と出力バッファ用の電源ライン5とに分け、また、グラントライン用のグラントライン4と出力バッファ用のグラントライン7とに分ける。これに伴って、電源ライン2、グラントライン4、電源ライン5、グラントライン7とそれぞれ接続された制御回路電源ライン用のリードフレーム11、制御回路グラントライン用のリードフレーム10、出力バッファ電源ライン用のリードフレーム8、出力バッファグラントライン用のリードフレーム9を設ける。

【効果】 電源ラインノイズによる制御回路の誤動作を防止することができる。



8-11: リードフレーム

【特許請求の範囲】

【請求項1】 少なくとも第1の回路と第2の回路を格納し、前記第1の回路用の電源供給線と分離された前記第2の回路用の電源供給線とを備えることを特徴とするLSIパッケージの電源ライン構造。

【請求項2】 前記第1の回路用の電源供給線は第1の電源ラインと、第1のグラントラインと、前記第1の回路ライン、グラントラインにそれぞれ接続された第1の回路用のリードフレームとからなり、前記第2の回路用の電源供給線は第2の電源ラインと、第2のグラントラインと、前記第2の電源ライン、グラントラインにそれぞれ接続された第2の回路用のリードフレームとからなることを特徴とする請求項1記載のLSIパッケージの電源ライン構造。

【請求項3】 前記第1の回路は入力バッファを含む制御回路であり、前記第2の回路は出力バッファであることとを特徴とする請求項1または2記載のLSIパッケージの電源ライン構造。

【発明の詳細な説明】

【0001】

【発明の利用分野】 本発明はLSIパッケージの電源ライン構造に関する。

【0002】

【従来の技術】 従来のLSIパッケージにおける電源ラインは、搭載している複数の回路に共通に電源ラインとグラントラインが一対をなしていた。

【0003】

【発明が解決しようとする課題】 従来のLSIパッケージの電源ライン構造は、例えば出力バッファの電源ラインと制御回路の電源ラインが同一であったため、出力バッファが動作すると負荷(容量)を充(放)電する電流が負荷と出力バッファ間に流れ、この充(放)電電流が大き過ぎると電源ラインにノイズが発生し、これが内部制御回路の誤動作を誘発するという問題点があった。

【0004】

【課題を解決するための手段】 本発明のLSIの電源ライン構造は、少なくとも第1の回路と第2の回路を搭載し、前記第1の回路用の電源供給線と分離された前記第2の回路用の電源供給線とを備えている。

【0005】そして、前記第1の回路用の電源供給線は第1の電源ラインと、第1のグラントラインと、前記第1の電源ライン、グラントラインにそれぞれ接続された第1の回路用のリードフレームとからなり、前記第2の回路用の電源供給線は第2の電源ラインと、第2のグラントラインと、第2の電源ライン、グラントラインにそれぞれ接続された第2の回路用のリードフレームとからなり、前記第2の回路用の電源供給線は第2の電源ラインと、第2のグラントラインと、第2の電源ライン、グラントラインにそれぞれ接続された第2の回路用のリードフレームとからなることを特徴とする請求項1または2記載のLSIパッケージの電源ライン構造。

ンと、前記第2の電源ライン、グラントラインにそれぞれ接続された第2の回路用のリードフレームとからなり、さらに前記第1の回路は入力バッファを含む制御回路であり、前記第2の回路は出力バッファであったとしてもよい。

【0006】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例を示すLSIパッケージの斜視図である。

【0007】 LSIパッケージ1に搭載された内部回路を制御回路3(入力バッファを含む)と出力バッファ6とに大別する。双方の回路に使用される電源ラインを制御回路用の電源ライン2と出力バッファ用の電源ライン5とに分け、また、グラントラインを制御回路用のグラントライン4と出力バッファ用のグラントライン7とに分ける。これに伴って、電源ライン2、グラントライン4、電源ライン5、グラントライン7とそれぞれ接続された制御回路電源ライン用のリードフレーム11、制御回路グラントライン用のリードフレーム10、出力バッファ電源ライン用のリードフレーム8、出力バッファグラントライン用のリードフレーム9を設ける。

【0008】このような構造のLSIパッケージでは、出力バッファ6に発生したノイズが電源ラインを回り込んで制御回路3を誤動作させることばなくなる。

【0009】なお、LSIパッケージ1に搭載する回路は、本実施例で示した2種類に限るものではない。

【0010】

【発明の効果】以上説明したように本発明は、LSIパッケージに搭載された複数の回路の電源ラインを回路毎に個別の電源ラインに分離したので、例えば負荷と出力バッファ間に流れる充(放)電電流による電源ラインのノイズ成分が制御回路側の電源ラインに入り込まないため、電源ラインノイズによる制御回路の誤動作を防止することができるといふ効果を有する。

【図面の簡単な説明】

【図1】 本発明の一実施例を示すLSIパッケージのプロット図である。

【符号の説明】

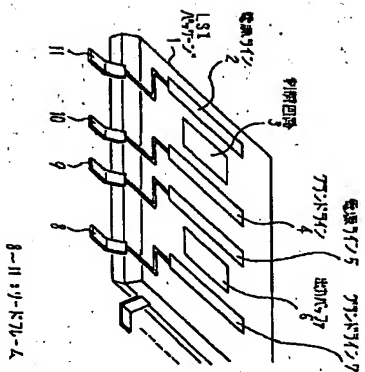
- 1 LSIパッケージ
- 2, 5 電源ライン
- 制御回路
- 7 グラントライン
- 出力バッファ
- 8, 9, 10, 11 リードフレーム

(3)

特開平05-029531

資料 ②

【図1】



(9) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-215324

(43) 公開日 平成9年(1997)8月15日

(5) InCl.	願出番号	庁内発案番号	P1	技術表示箇所
H02M 3/155			H02M 3/155	Y
H01G 4/40			H01L 27/01	3 2 1
H01L 27/01		3 2 1	H01G 4/40	A

審査請求 未請求 請求項の数 4 OL (全 6 頁)

(21) 出願番号 特開平9-13856

(71) 出願人 00006231

株式会社村田製作所

(22) 出願日 平成8年(1996)1月30日

京都府京都市天神二丁目28番10号

(72) 発明者 守安 明義 株式会社村田製作所内

京都府京都市天神二丁目28番10号

(73) 発明者 森島 裕之 株式会社村田製作所内

京都府京都市天神二丁目28番10号 株式会社村田製作所内

(54) 発明の名称 DC-DCコンバータ

(57) 要約

【課題】 積層体のクラックや電気特性の劣化が生じず、低コストで製造できる積層セラミック部品を提供する。

【解決手段】 DC-DCコンバータ10は積層体11を含み、電子部品12、例えば制御回路用集積回路、コイル、トランジスタ、ダイオード等を回路パターン13上にはんだ等で接続することにより積層体11上に搭載し、積層体11、電子部品12及び回路パターン13を囲むなる金属ケース14で覆うことにより構成する。積層体11は、比誘電率が数千の誘電体層15とニッパルからなる内部電極層16とを積層接続して、入力平滑コンデンサCin及び出力平滑コンデンサCoutを内部に構成する。この際、積層体11の内部において、内部電極層16の最上層及び最下層に位置する内部電極層16bはグラウンドに接続されグラウンド電極層となる。

